

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000060957 A
 (43)Date of publication of application: 16.10.2000

(21)Application number: 1019990009656
 (22)Date of filing: 22.03.1999

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: KIM, I SUN
 KIM, JEOM GYU
 SEO, YEONG SUN

(51)Int. Cl. G11C 11/407

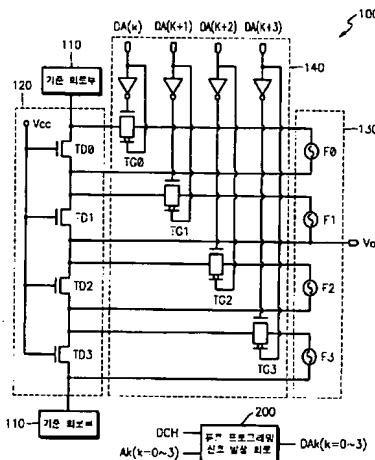
(54) VOLTAGE LEVEL GENERATING CIRCUIT WHICH CAN TRIM VOLTAGE LEVEL REPETITIVELY BY OBTAINING FUSE CUTTING EFFECT WITHOUT CUTTING FUSE AND METHOD FOR TRIMMING VOLTAGE LEVEL USING THEREOF

(57) Abstract:

PURPOSE: A voltage level generating circuit is provided which can perform the voltage level trimming operation repetitively by obtaining the fuse cutting effect without cutting the fuse during the voltage level trimming.

CONSTITUTION: A voltage level generating circuit (100) generating a fixed voltage level(V_o) comprises: a reference circuit part(110) which generates the above voltage level; a voltage distributor(120) which adjusts the fine voltage, being connected between

the reference circuit part; a number of fuses(130) controlling the operation of the voltage distributor on both ends of the voltage distributor; and a switching part(140) cutting the connection of the voltage distributor and the fuse selectively. The switching part is a transmission gate between the voltage distributor and the fuse responding to a voltage level measurement mode(DCM) signal indicating the trimming of the voltage level and a fuse address specifying the address of the fuses.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20001221)
 Patent registration number (1002871850000)
 Date of registration (20010120)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/407	(45) 공고일자 2001년04월16일 (11) 등록번호 10-0287185 (24) 등록일자 2001년01월20일
(21) 출원번호 10-1999-0009656 (22) 출원일자 1999년03월22일	(65) 공개번호 특2000-0060957 (43) 공개일자 2000년10월16일

(73) 특허권자: 삼성전자주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자: 서영순
대구광역시달서구칠성동월성주공아파트211동720호
김미순
서울특별시성북구길음2동1272-80
김점규
경기도수원시팔달구우만2동76-7삼성아파트101동812호
(74) 대리인: 이영필, 권석흠, 정상빈

심사관 : 전일용

(54) 퓨즈의 절단 없이도 퓨즈 절단의 효과를 얻어 반복해서 전압 레벨을 트리밍 할 수 있는 전압 레벨 발생회로 및 이를 이용하여 전압 레벨을 트리밍하는 방법

요약

퓨즈의 절단 없이도 퓨즈 절단의 효과를 얻어 반복해서 전압 레벨을 트리밍할 수 있는 전압 레벨 발생 회로 및 이를 이용하여 전압 레벨을 트리밍하는 방법이 개시된다. 본 발명의 소정의 전압 레벨을 발생하는 전압 레벨 발생 회로는 상기 전압 레벨을 발생하는 기준 회로부와, 기준 회로부 사이에 연결되어 전압 레벨의 미세전압을 조정하는 전압 분배기와, 전압 분배기의 양단에 전압 분배기의 동작을 제어하는 다수개의 퓨즈들과, 전압 분배기와 퓨즈의 연결을 선택적으로 끊는 스위칭부를 구비한다.

도표도**도2****영세서****도면의 간단한 설명**

도 1은 종래의 전압 레벨 발생 회로를 나타내는 도면이다.

도2는 본 발명의 일실시예에 따른 전압 레벨 발생 회로를 나타내는 도면이다.

도 3은 도 1의 퓨즈 프로그래밍 신호 발생 회로를 나타내는 도면이다.

발명의 상세한 설명**발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 반복하여 전압 레벨을 트리밍 할 수 있는 전압 레벨 발생 회로 및 이를 이용하여 전압 레벨을 트리밍하는 방법에 관한 것이다.

반도체 메모리 장치는 집적도가 증가함에 따라, 모스 트랜지스터의 게이트 길이와 게이트 산화막의 두께가 감소하고 있다. 그런데, 외부 전원 전압은 계속 5V를 사용되기 때문에 트랜지스터 내로 전계가 커지게 된다. 이러한 큰 전계는 게이트 산화막의 내압 한계에 이르게 되어 트랜지스터의 신뢰성 특성이 나빠진다. 이를 해결하고자 반도체 장치는 그 내부에 전원 전압을 낮추는 방법으로 내부전원전압 발생 회로를 구비한다. 이와 아울러, 반도체 메모리 장치는 메모리 셀 트랜지스터의 안정된 동작을 위하여 기판전압 발생 회로 및 메모리 셀 커패시터의 전극에 전극전압을 제공하기 위하여 기준전압 발생 회로 등을 구비한다. 이러한 내부전원전압 발생 회로, 기판전압 발생 회로 또는 기준전압 발생 회로 등은 소정의 전압 레벨을 발생하여 반도체 메모리 장치로 제공된다. 예를 들면, 내부전원전압 발생 회로는 3.3V의 내부전원전압을, 기판전압 발생 회로는 -2.5V의 기판전압을, 그리고, 기준전압 발생 회로는 2.5V의 기준전압을 발생한다. 이와 같은 전압 레벨을 발생하는 전압 레벨 발생 회로는 의도하는 전압 레벨, 즉 설정되는 전압 레벨을 안정적으로 발생하여야 한다.

그러나, 반도체 제조공정 상의 환경 변화 또는 공정 마진을 고려하지 않은 설계 등으로 인하여 전압 레벨 발생 회로에서는 의도하는 전압 레벨이 안정적으로 발생되지 못하고 미세전압 정도로 전압 레벨이 틀어지게 된다. 이러한 틀어진 전압레벨을 의도하는 전압 레벨로 맞추기 위하여 전압 레벨을 트리밍하는 작업이 필수적으로 요구된다.

도 1은 종래의 전압 레벨을 트리밍하는 전압 레벨 발생 회로를 나타낸다. 이를 참조하면, 전압 레벨 발생 회로(10)는 기준 회로부(11), 전압 분배기(12) 및 퓨즈부(13)를 구비한다. 기준 회로부(11)는 앞서 설명한 내부전원전압 발생 회로, 기판전압 발생 회로 또는 기준전압 발생 회로 등으로 구성되어 설정되는 전압 레벨 등을 발생한다. 전압 분배기(12)는 게이트에 전원 전압(VCC)이 인가되는 엔모스 트랜지스터($TDi, i=0\sim3$)들로 구성되는 데, 엔모스 트랜지스터($TDi, i=0\sim3$) 양단은 퓨즈부(13)의 퓨즈들($Fi, i=0\sim3$)이 각각 연결되어 있다.

이러한 전압 레벨 발생 회로(10)의 전압 레벨을 트리밍하는 방법을 설명하면 다음과 같다. 우선, 퓨즈들($Fi, i=0\sim3$)이 연결되어 있는 상태이므로 전압 분배기의 트랜지스터들($TDi, i=0\sim3$)이 단락되어, 전압 레벨 발생 회로(10)는 기준 회로부(11)에서 발생하는 전압 레벨로 전압 레벨(V_o)을 발생한다. 발생된 전압 레벨이 의도하는 전압 레벨이 아닌 경우에 전압 레벨(V_o)을 트리밍하기 위하여 작업자는 수동으로 퓨즈부(13)의 퓨즈들을 절단해 가면서 전압 레벨(V_o)을 확인한다.

그런데 이러한 트리밍 방법은 퓨즈를 한번 절단하게 되면 다시 사용하지 못하기 때문에, 트리밍을 위한 시행착오를 일일이 퓨즈를 절단해 가면서 수행해야 하는 번거로움이 있다. 또한, 이러한 트리밍 방법은 많은 작업 시간을 필요로 하는 문제점이 있다.

본 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전압 레벨을 트리밍하는 동안 퓨즈의 절단 없이도 퓨즈 절단의 효과를 얻어 반복해서 전압 레벨 트리밍 작업을 수행할 수 있는 전압 레벨 발생 회로를 제공하는 것이다.

본 발명의 다른 목적은 상기 전압 레벨 발생 회로를 이용하여 전압 레벨을 트리밍하는 방법을 제공하는 것이다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 소정의 전압 레벨을 발생하는 전압 레벨 발생 회로는 상기 전압 레벨을 발생하는 기준 회로부와, 기준 회로부 사이에 연결되어 전압 레벨의 미세전압을 조정하는 전압 분배기와, 전압 분배기의 양단에 전압 분배기의 동작을 제어하는 다수개의 퓨즈들과, 전압 분배기와 퓨즈의 연결을 선택적으로 끊는 스위칭부를 구비한다.

상기 다른 목적을 달성하기 위하여, 소정의 전압 레벨을 발생하는 기준 회로부 사이에, 전압 레벨의 미세전압을 조정하는 전압분배기의 동작을 제어하는 퓨즈들을 전압 분배기와 연결시키는 스위칭부를 통하여 전압 레벨을 트리밍하는 방법은

기준 회로부의 전압 레벨을 측정하는 단계와, 측정된 전압 레벨이 의도하는 전압 레벨이 아닌 경우, 전압 레벨의 트리밍을 지시하는 전압 레벨 측정 모드(DCM) 신호를 발생하여 퓨즈들의 어드레스를 지정하는 퓨즈 어드레스에 해당하는 퓨즈 프로그래밍 신호를 발생하는 단계와, 퓨즈 프로그래밍 신호에 응답하는 스위칭부에 의하여 전압 분배기와 퓨즈의 연결을 끊는 단계와, 끊어진 퓨즈에 의하여 전압 분배기가 부하로 작용하여 전압 레벨을 분배하는 단계와, 분배되는 전압 레벨이 의도하는 전압 레벨인지를 확인하여, 의도하는 전압 레벨인 경우의 퓨즈 어드레스에 해당하는 퓨즈를 절단하는 단계를 구비한다.

이와 같은 본 발명은 전압 레벨 발생 회로의 전압 레벨을 트리밍하는 동안 퓨즈의 절단 없이도 퓨즈 절단의 효과를 얻어 반복해서 전압 레벨 트리밍 작업을 수행할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

도 2은 본 발명의 일실시예에 따른 전압 레벨 발생 회로를 나타내는 도면이다. 이를 참조하면, 전압 레벨 발생 회로(100)는 기준 회로부(110), 전압 분배기(120), 다수개의 퓨즈들(130) 및 스위칭부(140)를 구비한다.

기준 회로부(110)는 다양한 동작 전압 레벨을 필요로 하는 반도체 메모리 장치에 전압 레벨을 제공하기 위하여 소정의 전압 레벨(V_o)을 발생한다. 이러한 전압 레벨(V_o)은 예를 들어, 메모리 셀 트랜지스터의 소자 특성을 안정화시키는 기판 바이어스 전압(substrate bias voltage: VBB) 또는 메모리 셀 커패시터의 전극 전압으로 사용되거나 메모리 셀의 비트라인 프리차이지 전압으로 사용되는 기준 전압(V_{ref})일 수 있다. 일반적인 방법으로, 기준 회로부(110)는 전원 전압으로부터 소정의 전압 레벨(V_o)이 발생되도록 구현되는 데, 이는 회로 설계 분야의 당업자에게는 주지되는 사실이다. 따라서, 본 명세서에서는 기준 회로부(110)의 구체적인 설명은 생략하고자 한다.

전압 분배기(120)는 기준 회로부(110) 사이에 위치하여 기준 회로부(110)에서 발생하는 전압 레벨(V_o)의 미세전압을 조정한다. 전압 분배기(120)는 구체적으로, 게이트에 전원 전압(VCC)이 인가되는 엔모스 트랜지스터들($TDi, i=0\sim3$)로 구성된다. 각각의 엔모스 트랜지스터($TDi, i=0\sim3$)는 '턴-온'된 상태에 있으며 부하성 트랜지스터로 동작한다. 이러한 전압 분배기(120)의 동작은 이후에 설명될 퓨즈부(130) 및 스위칭부(140)와 연관하여 설명하고자 한다.

퓨즈부(130)는 다수의 퓨즈들($Fi, i=0\sim3$)로 구성되며, 각각의 퓨즈들($Fi, i=0\sim3$)은 전압 분배기(120) 양단에 위치하여 전압 분배기(120)의 동작을 제어한다. 퓨즈부(130) 내 퓨즈들($Fi, i=0\sim3$)은 이후에 설명될 스위칭부(140)에 의하여 전압 분배기(110)의 엔모스 트랜지스터($TDi, i=1\sim4$)와 끊어진다.

스위칭부(140)는 기준 회로부(110)의 전압 레벨(V_o)을 트리밍(trimming)하는 퓨즈 프로그래밍 신호

(DAK, k=0~3)에 응답하여 전압 분배기(110)와 퓨즈부(130)와의 연결을 선택적으로 끊는다. 스위칭부(140)는 구체적으로, 퓨즈 프로그래밍 신호(DAK, k=0~3)의 반전 신호가 전송 게이트(TGi, i=0~3)로 연결되며, 전송 게이트(TGi, i=0~3)는 퓨즈 프로그래밍 신호(DAK, k=0~3)의 반전 신호에 각각 응답하여 전압 분배기(110)의 엔모스 트랜지스터(TDi, i=0~3)와 퓨즈부(130)의 퓨즈(Fi, i=0~3)와의 연결을 끊는다. 퓨즈 프로그래밍 신호(DAK, k=0~3)는 퓨즈 프로그래밍 신호 발생 회로에 의하여 제공되는 데, 이는 도 3를 참조하여 설명한다.

도 3를 참조하면, 퓨즈 프로그래밍 신호 발생 회로(200)는 기준 회로부(110, 도 2)에서 발생하는 전압 레벨(Vo)이 의도하는 전압 레벨이 되도록 트리밍(trimming)을 지시하는 전압 레벨 측정 모드(DC level Measure mode: 이하 'DCM 모드'라 칭함) 신호 및 퓨즈부(140, 도 2) 내 퓨즈들(Fi, i=0~3)의 어드레스를 나타내는 퓨즈 어드레스 신호(Ak, k=0~3)에 응답하여 퓨즈 프로그래밍 신호(DAK, k=0~3)를 발생한다.

퓨즈 프로그래밍 신호 발생 회로(200)는 구체적으로, DCM 신호와 퓨즈 어드레스 신호(Ak, k=0~3)를 입력으로 하는 2-입력 낸드 게이트들의 출력을 반전하여 퓨즈 프로그래밍 신호(DAK, k=0~3)를 발생한다. 그러므로, 퓨즈 프로그래밍 신호 발생 회로(200)는 '하이레벨'의 DCM 신호에 인에이블되고 입력되는 퓨즈 어드레스 신호(Ak, k=0~3)에 해당하는 퓨즈 프로그래밍 신호(DAK, k=0~3)를 발생한다. 반면, 퓨즈 프로그래밍 신호 발생 회로(200)는 '로우레벨'의 DCM 신호에 디스에이블되어 '로우레벨'의 퓨즈 프로그래밍 신호(DAK, k=0~3)를 발생한다.

다시, 도 2를 참조하면 전압 레벨 발생 회로(100)는 기준 회로부(110)에 의하여 발생하는 전압 레벨(Vo)을 의도하는 전압 레벨(Vo)로 트리밍한다. 이러한 트리밍 작업은 다음과 같이 설명된다.

우선, 기준 회로부(110)는 소정의 전압 레벨(Vo)을 발생한다. 이 전압 레벨(Vo)이 의도하는 전압 레벨(Vo)인지 아닌지를 확인한다. 이때, 퓨즈 프로그래밍 신호 발생 회로(200)는 '로우레벨'의 DCM 신호에 의하여 '로우레벨'의 퓨즈 프로그래밍 신호(DAK, k=0~3)를 발생한다. '로우레벨'의 퓨즈 프로그래밍 신호(DAK, k=0~3)는 스위칭부(140)의 전송 게이트(TGi, i=0~3)로 전달되어 전송 게이트(TGi, i=0~3)를 '턴-온'시킨다. '턴온'되는 전송게이트(TGi, i=0~3)는 전압 분배기(120)의 엔모스 트랜지스터(TDi, i=0~3)와 퓨즈부(140)의 퓨즈(Fi, i=0~3)를 연결시킨다.

여기서, 전압 분배기(120)의 엔모스 트랜지스터들(TDi, i=0~3)은 연결되는 각각의 퓨즈(Fi, i=0~3)에 의하여 엔모스 트랜지스터(TDi, i=0~3)의 양단이 단락된다. 단락된 엔모스 트랜지스터(TDi, i=0~3)는 더 이상 부하성 트랜지스터로 작용하지 않는다. 따라서, 전압 분배기(120)의 엔모스 트랜지스터들(TDi, i=0~3)이 단락된 전압 레벨 발생 회로(100)는 기준 회로부(110)에서 발생하는 전압 레벨(Vo)로 전압 레벨(Vo)이 결정된다.

만약, 기준 회로부(110)에서 발생하는 전압 레벨(Vo)이 의도하는 전압 레벨(Vo)로 맞추어진 경우는 전압 레벨(Vo)을 트리밍하는 작업이 필요없다.

그러나, 기준 회로부(110)에서 발생하는 전압 레벨(Vo)이 의도하는 전압 레벨(Vo)이 아닌 경우, 즉, 반도체 공정 환경의 변화 또는 공정 마진을 고려하지 않은 설계에 의하여 의도하는 전압 레벨(Vo)이 떨어진 경우는 전압 레벨(Vo)을 트리밍하는 작업이 필수적이다. 이 경우, 전압 레벨 발생 회로부(100) 내의 DCM 신호는 외부로부터 '하이레벨'로 설정된다. 이 후, 퓨즈 프로그래밍 신호 발생 회로(200)는 '하이레벨'의 DCM 신호에 의하여 인에이블되어 입력되는 퓨즈 어드레스(Ak, k=0~3)에 해당하는 '하이레벨'의 퓨즈 프로그래밍 신호(DAK, k=0~3)를 발생한다. 여기서, 퓨즈 어드레스(Ak, k=0~3)는 순차적으로 또는 미리 계획된 순서대로 '하이레벨'로 활성화된다. 그리고, 퓨즈 어드레스(Ak, k=0~3)는 본 실시예의 전압 레벨 발생 회로(100)의 전압 레벨(Vo)을 트리밍하는 작업자에 의해서도 수동적으로 활성화될 수도 있다.

이 후, '하이레벨'의 퓨즈 프로그래밍 신호(DAK, k=0~3)는 스위칭부(140)로 제공되어 스위칭부(140)의 전송게이트(TGi, i=0~3)를 '턴-오프'시킨다. '턴-오프'되는 전송 게이트(TGi, i=0~3)는 전압 분배기(120)의 엔모스 트랜지스터(TDi, i=0~3)와 퓨즈부(140)의 퓨즈(Fi, i=0~3)와의 연결을 끊는다. 퓨즈(Fi, i=0~3)와의 연결이 끊어진 엔모스 트랜지스터(TDi, i=0~3)는 부하성 트랜지스터로 작용한다. 그리하여, 기준 회로부(110)에서 발생하는 전압 레벨(Vo)은 부하성 트랜지스터에 의하여 전압 분배된다. 이 후, 전압 분배된 전압 레벨(Vo)이 의도하는 전압 레벨(Vo)인지 아닌지를 확인한다. 트리밍되는 전압 레벨(Vo)이 또다시 의도하는 전압 레벨(Vo)이 아닌 경우에는 트리밍되는 전압 레벨(Vo)이 의도하는 전압 레벨(Vo)으로 되도록 퓨즈 어드레스(Ak, k=0~3)를 바꾸어가면서 상술한 트리밍 작업을 계속 반복 실시한다.

이렇게 계속되는 트리밍 작업은 종래의 트리밍 방법에 비하여 전압 레벨을 트리밍하는 동안 퓨즈의 절단 없이도 퓨즈 절단의 효과를 얻어 반복해서 전압 레벨 트리밍 작업을 수행할 수 있다는 잇점을 가진다.

최종적으로, 전압 레벨 발생 회로(100)의 전압 레벨(Vo)이 의도하는 전압 레벨(Vo)로 맞추어진 경우, 전압 레벨(Vo)을 트리밍하기 위하여 설정되었던 퓨즈 어드레스(Ak)는 저장된다. 저장되는 퓨즈 어드레스(Ak, k=0~3)에 해당하는 퓨즈는 절단된다.

따라서, 전압 레벨 발생 회로(100)는 전압 레벨(Vo)로 동작하는 반도체 장치 내 다른 회로들로 의도하는 전압 레벨(Vo)을 안정되게 제공할 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 본 발명에 의하면, 전압 레벨 발생 회로의 전압 레벨을 트리밍하는 동안 퓨즈의 절단 없이도 퓨즈 절단의 효과를 얻어 반복해서 전압 레벨 트리밍 작업을 수행할 수 있다.

(57) 청구의 범위

청구항 1

소정의 전압 레벨을 발생하는 전압 레벨 발생 회로에서,

상기 전압 레벨을 발생하는 기준 회로부;

상기 기준 회로부 사이에 연결되어 상기 전압 레벨의 미세전압을 조정하는 전압 분배기;

상기 전압 분배기의 양단에, 상기 전압 분배기의 동작을 제어하는 다수개의 퓨즈들; 및

상기 전압 분배기와 상기 퓨즈의 연결을 선택적으로 끊는 스위칭부를 구비하는 것을 특징으로 하는 전압 레벨 발생 회로,

청구항 2

제1 항에 있어서, 상기 스위칭부는

상기 전압 레벨의 트리밍을 지시하는 전압 레벨 측정 모드(DCM) 신호 및 상기 퓨즈들의 어드레스를 지정하는 퓨즈 어드레스에 응답하는 상기 전압 분배기와 상기 퓨즈 사이의 전송 게이트인 것을 특징으로 하는 전압 레벨 발생 회로,

청구항 3

소정의 전압 레벨을 발생하는 기준 회로부 사이에, 상기 전압 레벨의 미세전압을 조정하는 전압분배기의 동작을 제어하는 퓨즈들을 상기 전압 분배기와 연결시키는 스위칭부를 통하여 상기 전압 레벨을 트리밍하는 방법에 있어서,

상기 기준 회로부의 전압 레벨을 측정하는 단계;

상기 측정된 전압 레벨이 의도하는 상기 전압 레벨이 아닌 경우, 상기 전압 레벨의 트리밍을 지시하는 전압 레벨 측정 모드(DCM) 신호를 발생하여 상기 퓨즈들의 어드레스를 지정하는 퓨즈 어드레스에 해당하는 퓨즈 프로그래밍 신호를 발생하는 단계;

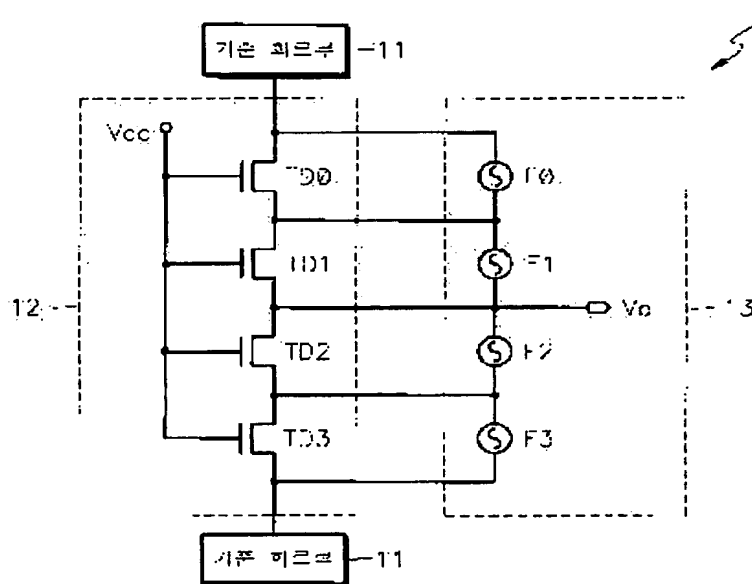
상기 퓨즈 프로그래밍 신호에 응답하는 상기 스위칭부에 의하여 상기 전압 분배기와 상기 퓨즈의 연결을 끊는 단계;

상기 끊어진 퓨즈에 의하여 상기 전압 분배기가 부하로 작용하여 상기 전압 레벨을 분배하는 단계; 및

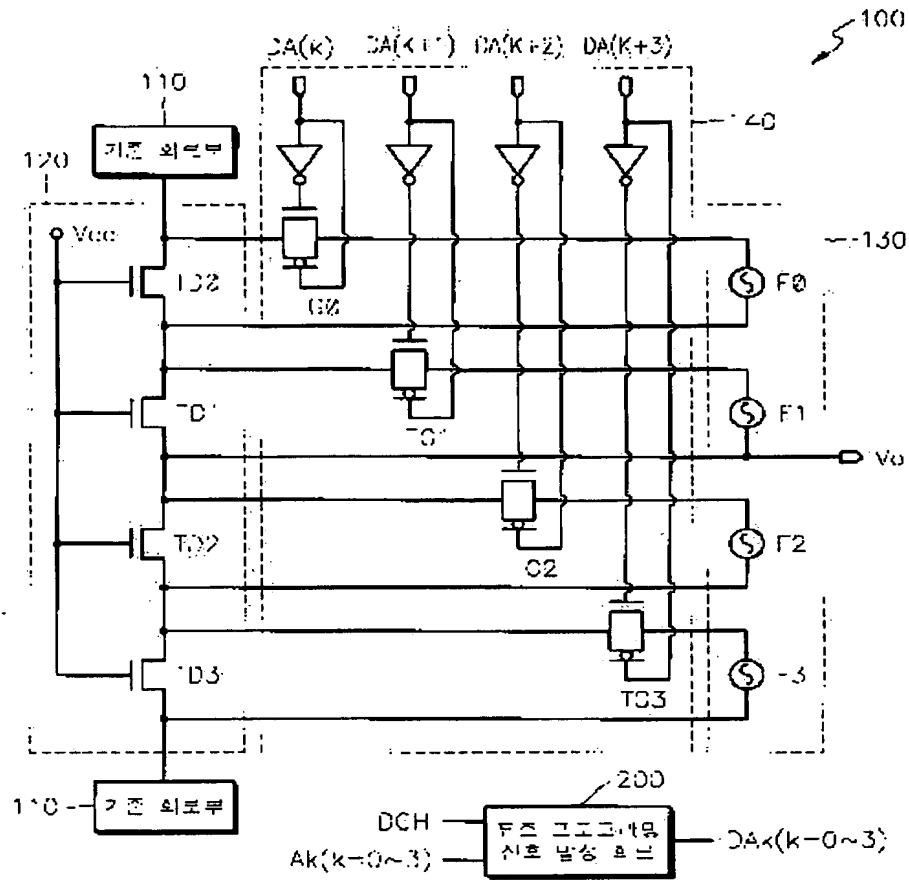
상기 분배되는 전압 레벨이 상기 의도하는 전압 레벨인지를 확인하여, 상기 의도하는 전압 레벨인 경우의 상기 퓨즈 어드레스에 해당하는 상기 퓨즈를 절단하는 단계를 구비하는 것을 특징으로 하는 전압 레벨 발생 회로의 전압 레벨 트리밍 방법.

도면

도면1



도 2



도 3

